

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255903

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 07-056329

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 15.03.1995

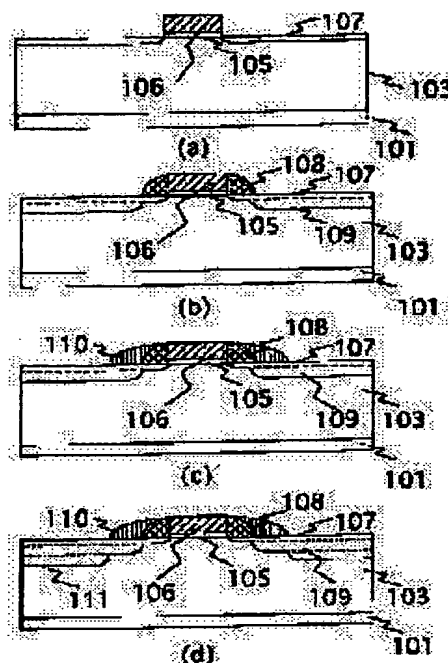
(72)Inventor : TAKAMURA TAKASHI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To obtain a semiconductor device having excellent punch-through characteristics and low interconnection resistance by providing a first region on the outer circumference of the gate, a second region having lower resistivity than the first region on the outer circumference of the first region, and a third region having lower resistivity than the second region on the outer circumference of the second region.

CONSTITUTION: A first region 107 of the first conductivity type is provided on the surface of a substrate on the outer circumference of the gate 106 of a FET transistor, and a second region 109 of the first conductivity type having resistivity lower than that of the first region 107 is provided on the outer circumference of the first region 107. Furthermore, a third region 111 of the first conductivity type having resistivity lower than that of the second region 109 is provided on the outer circumference of the second region 109. For example, a gate electrode 106 is formed and then an LDD region 107 is formed by ion implantation. Subsequently, a first side wall region 108 is formed followed by formation of a first O-V region 109. Finally, a second side wall region 110 and a second O-V region 111 are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] A semiconductor device which has at least one or more field-effect transistors formed in the substrate surface which is characterized by providing the following, and which consists of a semiconductor The first field which has the first conductivity type on said substrate surface located in the gate periphery section of said field-effect transistor The first conductivity type is shown in said first field periphery section, and it compares with said first field, and is the second field where specific resistance is small. The first conductivity type is shown in said second field periphery section, and it compares with said second field, and is the third field where specific resistance is small.

[Claim 2] A manufacture method of a semiconductor device of having at least one or more field-effect transistors formed in the substrate surface which is characterized by providing the following, and which consists of a semiconductor A production process which carries out the ion implantation of at least one kind of element while using a gate field of said field-effect transistor as a mask (B, P, As, Sb, Ga, In, S, Se, Zn) A production process which forms the first mask field in said gate field periphery in self align A production process which pours in ion which contains at least one kind of element among (B, P, As, Sb, Ga, In, S, Se, Zn) once [at least] A production process which forms the second mask field in said first mask field periphery in self align, and a production process which pours in ion which contains at least one kind of element among (B, P, As, Sb, Ga, In, S, Se, Zn) once [at least]

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure of the active element in an integrated-circuit element, and the manufacture method of an active element.

[0002]

[Description of the Prior Art] Conventionally, the manufacture method as shown below was learned for the metal-oxide-film-semiconductor (it calls for short Following MOS)

field-effect transistor (it calls for short Following FET) used for the large-scale integrated circuit (it calls for short Following LSI). N-channel metal oxide semiconductor FET is taken for an example, and the structure and the manufacture method are briefly explained based on drawing 3 .

[0003] The P-WELL field 302 of carrier density $3 \times 10^{16} \text{cm}^{-3}$ is formed in the silicon substrate 301 of n mold of carrier density $2 \times 10^{15} \text{cm}^{-3}$. Next, boron ion is driven in as a channel dope and 20nm gate oxide 303 is formed by the oxidizing [thermally] method. Next, the 400nm polish recon by which the phosphorus dope was carried out is deposited by the chemical-vapor-deposition method (Chemical Vapor Deposition: call it a CVD method for short below). Next, the gate field 304 is formed according to a usual photograph RISOGURAFU stroke and a usual dry etching stroke. Next, a phosphorus ion-implantation production process is performed to Nch, and the LDD field 305 is formed in self align (drawing 3 (a)).

[0004] Next, after forming an oxide film with a CVD method, the high dry etching production process of an anisotropy is performed. An isotropic high oxide film forms by using a CVD method, by using the high dry etching method of an anisotropy, an oxide film remains only by both side of polish recon, and the sidewall field 306 is formed in it (drawing 3 (b)).

[0005] And next, phosphorus is driven in about [five $\text{E}15 \text{cm}^{-2}$] two, and the source / drain field 307 is formed. Moreover, since an impurity is contained in high concentration and specific resistance is low, this field is used also as wiring to which between each element is connected.

[0006] Lamp annealing treatment for activating the driven-in impurity at the end is performed, and N-channel metal oxide semiconductor FET is formed (drawing 3 (c)).

[0007] Although the manufacturing process of N-channel metal oxide semiconductor FET was explained above, this serves as a manufacturing process of P channel MOSFET as it is by changing an ion kind at an ion implantation production process.

[0008]

[Problem(s) to be Solved by the Invention] However, it is known for the conventional structure that the phenomenon called the "punch-through" to which it is greatly spread according to the physical development of transient enhanced diffusion, effective channel length is short carried out, and device pressure-proofing is reduced by the last lamp annealing treatment will arise.

[0009] In order to press down this phenomenon, it is effective to reduce the high impurity concentration of the source / drain field, but when wiring resistance goes up in that case and it sees as a device, a time constant prolonged effect will cause effect which

is called the speed fall as a final device and which is not desirable.

[0010] Therefore, when it sees from two viewpoints of punch-through prevention and a working speed, a method only has using both compromise and the high impurity concentration of the source / drain field has the trouble that the engine performance of a product will fall as a result.

[0011] In order to reduce wiring resistance and to raise a device working speed as this cure, the technique of forming titanium silicide etc. in the source / drain field in self align is also proposed. However, in this process, there is a trouble that it is difficult for an impurity to acquire the process which a lifting and lifting-coming to be easy of a punch-through too are known in anomalous diffusion, and was stabilized, at the production process to which titanium is made to react with the silicon of a substrate by heat treatment.

[0012] Then, it aims at offering the device structure of the semiconductor device and its manufacture method of this invention solving such a conventional trouble, and excelling in a punch-through property, and realizing low wiring resistance, and its manufacture method.

[0013]

[Means for Solving the Problem] In order to solve such a conventional trouble, a semiconductor device and its manufacture method of this invention have the feature described below.

[0014] (1) In a semiconductor device which has at least one or more electric field effects FET formed in the substrate surface which consists of a semiconductor The first field which has the first conductivity type on said substrate surface located in the gate periphery section of said electric field effect FET, The first conductivity type should be shown in said first field periphery section, indicate the first conductivity type to be the second field where specific resistance is small to said second field periphery section as compared with said first field, and have the third field where specific resistance is small as compared with said second field.

[0015] (2) In a manufacture method of a semiconductor device of having at least one or more electric field effects FET formed in the substrate surface which consists of a semiconductor A production process which carries out the ion implantation of at least one kind of element while using a gate field of said electric field effect FET as a mask (B, P, As, Sb, Ga, In, S, Se, Zn), A production process which forms the first mask field in said gate field periphery in self align, A production process which pours in ion which contains at least one kind of element among (B, P, As, Sb, Ga, In, S, Se, Zn) once [at least], Have a production process which forms the second mask field in said first mask

field periphery in self align, and a production process which pours in ion which contains at least one kind of element among (B, P, As, Sb, Ga, In, S, Se, Zn) once [at least].

[0016]

[Example] The first example of this invention is explained using a drawing. Drawing 1 is manufacturing process drawing of N-channel metal oxide semiconductor FET which used the polish recon gate. Hereafter, the example is explained using this manufacturing process drawing. The oxide film 102 of 50nm of thickness is formed for the surface of n form silicon semiconductor substrate 101 of rate of specific resistance 10 ohm-cm by 900 degrees C and heat treatment for 30 minutes in 95% steam ambient atmosphere. This oxide film is an oxide film which needs the ion driven in at the ion implantation production process in order to prevent the phenomenon which shows unusual distribution. Next, boron is poured in by the ion implantation method. The acceleration energy of a boron atom makes 70keV(s) and the amount of ion implantation the number of ion, and is $1E13cm^{-2}$.

[0017] Next, thermal diffusion is performed in nitrogen-gas-atmosphere mind. Diffusion temperature is 1100 degrees C and a diffusion time is 7 hours. Of this heat treatment, P well field 103 with a depth of 2.5 micrometers is formed.

[0018] Next, an oxide film 102 is etched by buffer fluoric acid, and the oxide film 104 of 15nm of thickness is formed by 820 degrees C and heat treatment for 15 minutes in 95% steam ambient atmosphere. This oxide film is an oxide film for the driven-in ion to prevent the phenomenon which shows unusual distribution at an ion implantation production process.

[0019] Next, the boron ion implantation for adjusting the threshold voltage of an MOS device is performed.

[0020] The acceleration energy of a boron atom makes 70keV(s) and the amount of ion implantation the number of ion, and is $3E12cm^{-2}$. After etching an oxide film 104 by buffer fluoric acid, gate oxide 105 of 15nm of thickness is formed by 820 degrees C and heat treatment for 15 minutes in 95% steam ambient atmosphere.

[0021] Next, 400nm of phosphorus dope polish recons is deposited with a CVD method, and the gate electrode 106 of 0.7-micrometer width of face is formed according to the usual photograph RISOGURAFU etching production process.

[0022] Next, the LDD field 107 is formed according to a phosphorus ion implantation production process (drawing 1 (a)). Acceleration energy makes 30keV(s) and the amount of ion implantation the number of ion, and is $1E13cm^{-2}$.

[0023] Next, the 1st sidewall field 108 with a width of face of 0.3 micrometers is formed by the CVD method and the dry etching method which made a silane and laughing gas

material gas.

[0024] next, a phosphorus ion implantation production process -- the -- the 1-OV field 109 is formed. This field is equivalent to the source/drain of an MOS device. Acceleration energy makes 30keV(s) and the amount of ion implantation the number of ion, and is $1E14cm^{-2}$ (drawing 1 (b)).

[0025] Next, the 2nd sidewall field 110 with a width of face of 0.3 micrometers is formed by the CVD method and the dry etching method which made a silane and laughing gas material gas (drawing 1 (c)).

[0026] next, a phosphorus ion implantation production process -- the -- the 2-OV field 111 is formed. This field is a wiring field as which the source / drain field of an MOS device served conventionally. Acceleration energy makes 100keV(s) and the amount of ion implantation the number of ion, and is $1E16cm^{-2}$.

[0027] Finally, 1000 degrees C and processing for 20 seconds are performed, an impurity is activated as lamp annealing treatment, and N channel FET is formed (drawing 1 (d)).

[0028] the 1st to which the electrical property of this device governs the static characteristic of a device -- since only about 1/50 amount was introduced compared with the usual device with which the amount of impurities of 1-OV also took wiring resistance into consideration, when it was set as the same threshold voltage, 1/20 or less value was able to be decreased with the current value in the operating point (cut-off operating point) of gate applied-voltage =0V and drain applied-voltage =5V. Moreover, in pressure-proofing between the source of a device, and a drain, improvement in 30% or more was realized.

[0029] Moreover, in the wiring field, since a dose was made into about 3 usual times and the diffusion depth was made deep about 50%, 1/2 or less was the specific resistance. Therefore, the delay by wiring decreased sharply and about 15% of improvement in the speed was realized as the whole system.

[0030] the [in addition,] -- since a 1-OV dose can optimize this field only as the source / a drain field, it does not need to take wiring resistance into consideration and can take a large setting range compared with the conventional process. Specifically, it is possible to set up in the about [two $E16cm^{-2}$ ·] $1E12cm^{-2}$ to two range. if a dose is made fewer than $1E12cm^{-2}$ -- the -- the resistance of a 1-OV field rises and it becomes the factor which degrades an MOS property. Moreover, if a dose is increased rather than $2E16cm^{-2}$, since it becomes easy to produce a short channel effect according to a spreading effect peculiar to a high concentration field, it is not desirable. In not aiming at devices which ignored other properties, such as a super-high resisting pressure device and a ultra high-speed device, this dose serves as a value with about [about / one

$E13\text{cm}^{-2}$ - / two to / three $E15\text{cm}^{-2}$ -] two desirable range.

[0031] the [moreover,] -- a 2-OV dose can be set up only paying attention to lowering wiring resistance. Specifically, it is possible to set up in the about [about / one $E14\text{cm}^{-2}$ - / two to / five $E17\text{cm}^{-2}$ -] two range. If a dose is made fewer than $1E14\text{cm}^{-2}$, since wiring resistance becomes large, it is not desirable. Moreover, since the rate of impurity activation will seldom improve even if it makes [more] a dose than $5E17\text{cm}^{-2}$, wiring resistance stops falling and practicality is lost. In not aiming at devices which ignored other properties, such as a super-high resisting pressure device and a ultra high-speed device, this dose serves as a value with about [about / three $E15\text{cm}^{-2}$ - / two to / three $E16\text{cm}^{-2}$ -] two desirable range.

[0032] Moreover, in this example, although N-channel metal oxide semiconductor FET was explained, of course, the same property is given only by changing an impurity kind and ion implantation energy also about P channel MOSFET.

[0033] Next, the second example is explained. Drawing 2 is manufacturing process drawing of P channel MOSFET which used titanium silicide for the wiring field. Hereafter, the example is explained using this manufacturing process drawing. The oxide film 202 of 50nm of thickness is formed for the surface of n form silicon semiconductor substrate 201 of rate of specific resistance $10\text{ ohm}\cdot\text{cm}$ by 900 degrees C and heat treatment for 30 minutes in 95% steam ambient atmosphere. This oxide film is an oxide film required in order that the ion driven in at the ion implantation production process may prevent the phenomenon which shows unusual distribution. Next, phosphorus ion is poured in by the ion implantation method. The acceleration energy of phosphorus ion makes 100keV(s) and the amount of ion implantation the number of ion, and is $7E12\text{cm}^{-2}$.

[0034] Next, thermal diffusion is performed in nitrogen-gas-atmosphere mind. Diffusion temperature is 1100 degrees C and a diffusion time is 4 hours. Of this heat treatment, N well field 203 with a depth of 2.0 micrometers is formed.

[0035] Next, an oxide film 202 is etched by buffer fluoric acid, and the oxide film 204 of 11nm of thickness is formed by 820 degrees C and heat treatment for 8 minutes in 95% steam ambient atmosphere.

[0036] Next, the boron fluoride (BF_2) ion implantation for adjusting the threshold voltage of an MOS device is performed. This oxide film is an oxide film for the driven-in ion to prevent the phenomenon which shows unusual distribution at an ion implantation production process.

[0037] BF_2 The acceleration energy of ion makes 50keV(s) and the amount of ion implantation the number of ion, and is $8 \times 10^{12}\text{cm}^{-2}$. After etching an oxide film 204 by

buffer fluoric acid, gate oxide 205 of 11nm of thickness is formed by 820 degrees C and heat treatment for 8 minutes in 95% steam ambient atmosphere.

[0038] Next, 200nm of phosphorus dope polish recons is deposited with a CVD method, and the gate field 206 of 0.3-micrometer width of face is formed according to the usual photograph RISOGURAFU etching production process (drawing 2 (a)).

[0039] Next, the LDD field 207 is formed according to a boron ion implantation production process. Acceleration energy makes 30keV(s) and the amount of ion implantation the number of ion, and is $1E13cm^{-2}$.

[0040] Next, the 1st sidewall field 208 with a width of face of 0.2 micrometers is formed by the CVD method and the dry etching method which made a silane and ozone material gas.

[0041] next, a boron fluoride (BF₂) ion implantation production process -- the -- the 1-OV field 209 is formed (drawing 2 (b)). This field is equivalent to the source/drain of an MOS device. Acceleration energy makes 30keV(s) and the amount of ion implantation the number of ion, and is $1E14cm^{-2}$.

[0042] Next, the 2nd sidewall field 210 with a width of face of 0.15 micrometers is formed by the CVD method and the dry etching method which made a silane and ozone material gas (drawing 2 (c)).

[0043] Next, a titanium film is formed by the thickness of 100nm using a spatter. Continuously, 850 degrees C and heat treatment for 20 minutes are performed. Then, titanium and the silicon of a substrate react and the titanium silicide layer 211 is formed. Then, if selective etching of titanium is performed, the titanium on an oxide film will be removed.

[0044] next, a boron fluoride (BF₂) ion implantation production process -- the -- the 2-OV field 212 is formed. This field is a wiring field as which the source / drain field of an MOS device served conventionally. Acceleration energy makes 60keV(s) and the amount of ion implantation the number of ion, and is $3 \times 10^{15}cm^{-2}$.

[0045] Finally, 950 degrees C and processing for 5 seconds are performed, an impurity is activated as lamp annealing treatment, and P channel MOSFET is formed (drawing 2 (d)).

[0046] Since only about 1/50 amount is introduced compared with the usual device, this device is transient accelerating of a LDD portion. Furthermore, since the titanium silicide stratification is performed in the field distant from the LDD field enough, it has not been influenced [most] of the enhanced diffusion accompanying this production process.

[0047] Therefore, it was hard to produce a short channel effect, and it had become, the

conventional device created at the same production process was not able to perform actuation even with 0.6 good micrometers even of gate length, but even 0.3 micrometers even of gate length could check performing good actuation compared with having responded even to the device of 0.7 micrometers of gate length on product level, and it has checked that it could respond even to the device of 0.35 micrometers of gate length on product level.

[0048] As a device property, since gate length was made in half, capacity is improving about 60%.

[0049] Moreover, in the wiring field, since it is small compared with the diffused resistor of the source / drain field, the specific resistance of titanium silicide has set up with titanium silicide and the dose which is the degree which can take ohm nature contact.

[0050] the [in addition,] -- since a 1-OV dose can optimize this field only as the source / a drain field, it does not need to take wiring resistance into consideration and can take a large setting range compared with the conventional process. Specifically, it is possible to set up in the about [two $E16cm^{-2}$ -] $1E12cm^{-2}$ to two range. if a dose is made fewer than $1E12cm^{-2}$ -- the -- the resistance of a 1-OV field rises and it becomes the factor which degrades an MOS property. Moreover, if a dose is increased rather than $2E16cm^{-2}$, since it becomes easy to produce a short channel effect according to a spreading effect peculiar to a high concentration field, it is not desirable. In not aiming at devices which ignored other properties, such as a super-high resisting pressure device and a ultra high-speed device, this dose serves as a value with about [about / one $E13cm^{-2}$ - / two to / three $E15cm^{-2}$ -] two desirable range.

[0051] the [moreover,] -- a 2-OV dose can be set up in the range which can take ohm nature contact, when using silicide for wiring. Specifically, it is possible to set up in the about [about / one $E14cm^{-2}$ - / two to / two $E16cm^{-2}$ -] two range. If a dose is made fewer than $1E14cm^{-2}$, since reservation of ohm nature contact becomes difficult especially to p form, it is not desirable. Moreover, even if it makes [more] a dose than $2E16cm^{-2}$, the decreasing rate of wiring resistance becomes low.

[0052] Moreover, in this example, although P channel MOSFET was explained, of course, the same property is given only by changing an impurity kind and ion implantation energy also about N-channel metal oxide semiconductor FET.

[0053] the [moreover,] -- the sidewall width of face for forming a 2-OV field changes also with device properties to aim at. In the device created this time, although 0.15 micrometers was adopted as sidewall width of face, unless it gives larger width of face of about 0.5 micrometers, an effective operation is not carried out with a device with longer gate length, for example, the device of 2 micrometers of gate length. On the

contrary, gate length becomes a value with about 0.1 micrometers suitable as sidewall width of face on count in a 0.2-micrometer device. Generally, using the big sidewall width of face which can earn a process margin, when using gate length's long device, in order to reduce a cell size in the case of reverse, it becomes effective technique to use small sidewall width of face.

[0054] Moreover, although the example so far explained MOSFET on a silicon substrate, of course, this is effective technology to the device which used all the semiconductor materials, such as GaAs, InGaAs, and InP, SiC, as the substrate. Moreover, it is effective also to the so-called semiconductor-on insulator (SOI) substrate in which the semiconductor thin film was formed, on an insulating material as a substrate. Of course in this SOI, the device in which single crystal silicon, the amorphous silicon, and the polycrystalline silicon layer were formed on the oxide film is also contained.

[0055] Moreover, although this example explained paying attention to MOSFET, of course, there is no reason limited to MOSFET, and, of course, it is effective also to MISFET, MESFET, etc.

[0056]

[Effect of the Invention] An effect as taken below by using the semiconductor device of this invention can be acquired.

[0057] (1) Since an FET property and the electric resistance of the LSI wiring section are controllable independently, LSI which connected FET excellent in the punch-through property and the OFF state current property with wiring with a small time delay, i.e., LSI which can perform a low power and high-speed operation, can be offered.

[0058] (2) Since this structure is applicable to all types, such as a SOI device not only containing an MOS device but the thin film transistor formed on MES, the MIS device, or the glass substrate, of FET, that it is hard to make metal-oxide-semiconductor structure, this structure can be further taken to FET on SiC and C (diamond) etc., and FET on compound semiconductor substrates, such as GaAs and InGaAs, and its flexibility which is device layout improve extremely.

[0059] (3) Since a sidewall configuration serves as loose inclination compared with the conventional LDD structure, ***** in the wiring metal spatter arranged on FET, the demarcation membrane CVD process between layers, etc. improves, and the reliability of wiring improves.

[0060] Moreover, if the manufacture method of the semiconductor device of this invention is used, an effect as taken below can be acquired.

[0061] (1) Since the same manufacture process as an indispensable sidewall

manufacture process can be used for the usual metal-oxide-semiconductor structure and it is not necessary to adopt a new process, the process of this invention can be used, without investing in plant and equipment at all.

[0062] (2) Hardly need the period which process development takes.

[0063] (3) Since new material is not used, there are no worries about contamination of a manufacturing installation etc.

[Brief Description of the Drawings]

[Drawing 1] N-channel metal oxide semiconductor FET manufacturing process drawing for explaining the first example of this invention.

[Drawing 2] P channel MOSLSI manufacturing process drawing for explaining the second example of this invention.

[Drawing 3] N-channel metal oxide semiconductor FET manufacturing process drawing for explaining a Prior art.

[Description of Notations]

101 ... n form silicon semiconductor substrate

102 ... Oxide film

103 ... P well field

104 ... Oxide film

105 ... Gate oxide

106 ... Gate electrode

107 ... LDD field

108 ... The first sidewall field

109 ... The first OV field

110 ... The second sidewall field

111 ... The second OV field

201 ... n form silicon semiconductor substrate

202 ... Oxide film

203 ... P well field

204 ... Oxide film

205 ... Gate oxide

206 ... Gate electrode

207 ... LDD field

208 ... The first sidewall field

209 ... The first OV field

210 ... The second sidewall field

211 ... Titanium silicide layer

- 212 ... The second OV field
- 301 ... n form silicon semiconductor substrate
- 302 ... P well field
- 303 ... Gate oxide
- 304 ... Gate electrode
- 305 ... LDD field
- 306 ... Sidewall field
- 307 ... The source / drain field

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-255903

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336				3 0 1 L

審査請求 未請求 請求項の数2 O L (全7頁)

(21)出願番号 特願平7-56329

(22)出願日 平成7年(1995)3月15日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 ▲高▼村 孝士

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

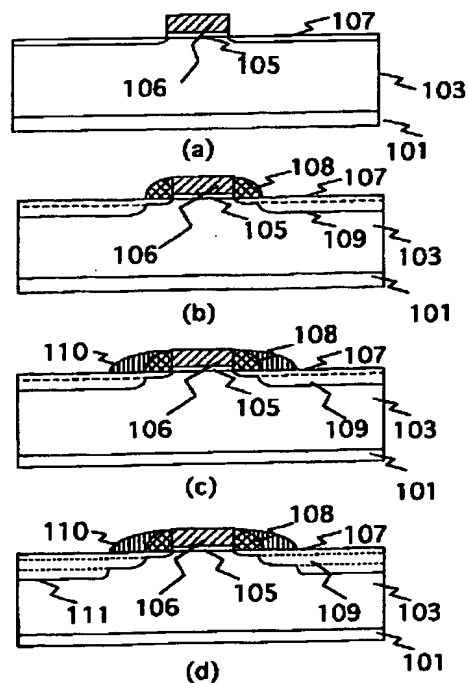
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【構成】 燐イオン打ち込み工程により、MOSデバイスのソース／ドレインに相当する第1-OV領域109を形成する。この領域の不純物量は、配線抵抗をも考慮した通常のデバイスに比べ1/50程度の量しか導入されていない。次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により第2サイドウォール領域110を形成する。その後、燐イオン打ち込み工程により、第2-OV領域111を形成する。この領域は、従来MOSデバイスのソース／ドレイン領域が兼ねていた配線領域である。この配線領域はドーザ量を通常の3倍程度にし、拡散深さを50%程度深くしてある。

【効果】 ドーピング濃度低減により、過渡増速拡散の影響を抑制し、パンチスルー特性を向上させる。しかも、配線専用領域の形成により低配線抵抗値が可能となり、高速化が実現する。



【特許請求の範囲】

【請求項1】半導体からなる基板表面に形成された電界効果トランジスタを少なくとも一つ以上有する半導体装置において、前記電界効果トランジスタのゲート外周部に位置する前記基板表面に第一導電型を有する第一領域と、前記第一領域外周部に第一導電型を示しかつ前記第一領域と比較して比抵抗が小さい第二領域と、前記第二領域外周部に第一導電型を示しかつ前記第二領域と比較して比抵抗が小さい第三領域とを有することを特徴とする半導体装置。

【請求項2】半導体からなる基板表面に形成された電界効果トランジスタを少なくとも一つ以上有する半導体装置の製造方法において、前記電界効果トランジスタのゲート領域をマスクとして（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種類の元素をイオン注入する工程と、前記ゲート領域周辺部に自己整合的に第一マスク領域を形成する工程と、（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種類の元素を含むイオンを少なくとも1回注入する工程と、前記第一マスク領域周辺部に自己整合的に第二マスク領域を形成する工程と、（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種類の元素を含むイオンを少なくとも1回注入する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路要素中の能動素子の構造及び能動素子の製造方法に関する。

【0002】

【従来の技術】従来、大規模集積回路（以下LSIと略称する）に用いられた金属-酸化膜-半導体（以下MOSと略称する）電界効果トランジスタ（以下FETと略称する）では以下に示すような製造方法が知られていた。NチャネルMOSFETを例にとり、図3に基づいてその構造及び製造方法を簡単に説明する。

【0003】キャリア密度 $2 \times 10^{15} \text{ cm}^{-3}$ のn型のシリコン基板301に、キャリア密度 $3 \times 10^{16} \text{ cm}^{-3}$ のP-WELL領域302を形成する。次に、チャネルドープとしてボロンイオンを打ち込み、20nmのゲート酸化膜303を熱酸化法により形成する。次に400nmの燐ドープされたポリシリコンを化学気相成長法（Chemical Vapor Deposition：以下CVD法と略称する）により堆積する。次に、通常のフォトリソグラフ行程とドライエッチング行程によりゲート領域304を形成する。次に、Nch用には燐イオン注入工程を行い、自己整合的にLDD領域305を形成する（図3（a））。

【0004】次に、CVD法により酸化膜を形成した後、異方性の高いドライエッチング工程を行う。CVD法を用いることで等方性の高い酸化膜が形成し、異方性

の高いドライエッチング法を用いることでポリシリコンの両脇にのみ、酸化膜が残存し、サイドウォール領域306が形成される（図3（b））。

【0005】そして、次に燐を $5 \text{ E } 15 \text{ cm}^{-2}$ 程度打ち込み、ソース/ドレイン領域307を形成する。また、この領域は、不純物を高濃度に含有するため比抵抗が低くなっているため、各素子間を結ぶ配線としても使用されている。

【0006】最後に、打ち込んだ不純物を活性化するためのランプアニール処理を行い、NチャネルMOSFETが形成される（図3（c））。

【0007】以上NチャネルMOSFETの製造工程を説明したが、これはイオン打ち込み工程でイオン種を変えることでそのままPチャネルMOSFETの製造工程となる。

【0008】

【発明が解決しようとする課題】しかしながら、従来の構造では、最後のランプアニール処理により、過渡増速拡散という物理現象により大きく拡散し、実効チャネル長を短くしてしまい、デバイス耐圧を低下させる「パンチスルー」と呼ばれる現象が生じてしまうことが知られている。

【0009】この現象を押えるためには、ソース/ドレイン領域の不純物濃度を低減することが有効だが、その場合配線抵抗が上昇し、デバイスとして見た場合、時定数遅延効果により、最終的なデバイスとしての速度低下という好ましくない影響を引き起こしてしまう。

【0010】そのため、パンチスルー防止と動作速度との2つの観点から見ると、ソース/ドレイン領域の不純物濃度は、両者の妥協点を使用するしか方法がなく、結果として製品の性能が低下してしまうという問題点がある。

【0011】この対策としては、配線抵抗を低減し、デバイス動作速度を向上させるために、ソース/ドレイン領域に自己整合的にチタンシリサイド等を形成する手法も提案されている。しかし、このプロセスでは、チタンを熱処理により下地のシリコンと反応させる工程で、不純物が異常拡散を起こし、やはりパンチスルーを起こし易くなることが知られており、安定したプロセスを得ることが困難であるという問題点がある。

【0012】そこで、本発明の半導体装置及びその製造方法は従来のこのような問題点を解決し、パンチスルー特性に優れ、且つ低配線抵抗値を実現するデバイス構造及びその製造方法を提供していくことを目的としている。

【0013】

【課題を解決するための手段】従来のこのような問題点を解決するため本発明の半導体装置及びその製造方法は以下に述べる特徴を有する。

【0014】（1）半導体からなる基板表面に形成され

た電界効果FETを少なくとも一つ以上有する半導体装置において、前記電界効果FETのゲート外周部に位置する前記基板表面に第一導電型を有する第一領域と、前記第一領域外周部に第一導電型を示しかつ前記第一領域と比較して比抵抗が小さい第二領域と、前記第二領域外周部に第一導電型を示しかつ前記第二領域と比較して比抵抗が小さい第三領域とを有すること。

【0015】(2)半導体からなる基板表面に形成された電界効果FETを少なくとも一つ以上有する半導体装置の製造方法において、前記電界効果FETのゲート領域をマスクとして(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種類の元素をイオン注入する工程と、前記ゲート領域周辺部に自己整合的に第一マスク領域を形成する工程と、(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種類の元素を含むイオンを少なくとも1回注入する工程と、前記第一マスク領域周辺部に自己整合的に第二マスク領域を形成する工程と、(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種類の元素を含むイオンを少なくとも1回注入する工程とを有すること。

【0016】

【実施例】本発明の第一の実施例を図面を用いて説明する。図1はポリシリコンゲートを用いたNチャネルMOSFETの製造工程図である。以下、この製造工程図を用いて実施例の説明を行っていく。比抵抗率 $10\Omega\cdot\text{cm}$ のn形シリコン半導体基板101の表面を95%水蒸気雰囲気中で900℃、30分間の熱処理により膜厚50nmの酸化膜102を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが、異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法により硼素を注入する。硼素原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして $1\text{E}13\text{cm}^{-2}$ である。

【0017】次に、窒素雰囲気中で熱拡散を行う。拡散温度は1100℃、拡散時間は7時間である。この熱処理により、深さ2.5μmのPウェル領域103が形成される。

【0018】次に、酸化膜102を緩衝弗酸でエッチングし、95%水蒸気雰囲気中で820℃、15分間の熱処理により膜厚15nmの酸化膜104を形成する。この酸化膜はイオン打ち込み工程で、打ち込んだイオンが異常な分布を示す現象を防ぐための酸化膜である。

【0019】次に、MOSデバイスの閾値電圧を調整するための硼素イオン打ち込みを行う。

【0020】硼素原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして $3\text{E}12\text{cm}^{-2}$ である。酸化膜104を緩衝弗酸でエッチングした後、95%水蒸気雰囲気中で820℃、15分間の熱処理により膜厚15nmのゲート酸化膜105を形成する。

【0021】次に、CVD法により、磷ドーブポリシリコンを400nm堆積し、通常的光リソグラフ・エッチング工程により、0.7μm幅のゲート電極106を形成する。

【0022】次に、磷イオン打ち込み工程により、LD領域107を形成する(図1(a))。加速エネルギーは30keV、イオン打ち込み量はイオン数にして $1\text{E}13\text{cm}^{-2}$ である。

【0023】次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により、幅0.3μmの第1サイドウォール領域108を形成する。

【0024】次に、磷イオン打ち込み工程により、第1-OV領域109を形成する。この領域はMOSデバイスのソース/ドレインに相当する。加速エネルギーは30keV、イオン打ち込み量はイオン数にして $1\text{E}14\text{cm}^{-2}$ である(図1(b))。

【0025】次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により、幅0.3μmの第2サイドウォール領域110を形成する(図1(c))。

【0026】次に、磷イオン打ち込み工程により、第2-OV領域111を形成する。この領域は、従来MOSデバイスのソース/ドレイン領域が兼ねていた配線領域である。加速エネルギーは100keV、イオン打ち込み量はイオン数にして $1\text{E}16\text{cm}^{-2}$ である。

【0027】最後に、ランプアニール処理として、1000℃、20秒の処理を行い、不純物を活性化させ、NチャネルFETが形成される(図1(d))。

【0028】このデバイスの電気特性は、デバイスの静特性を支配する第1-OVの不純物量が配線抵抗をも考慮した通常のデバイスに比べ1/50程度の量しか導入されていないため、同じ閾値電圧に設定した場合、ゲート印加電圧=0V、ドレイン印加電圧=5Vの動作点(カットオフ動作点)での電流値で1/20以下の値に減少させる事ができた。またデバイスのソース、ドレイン間の耐圧では、30%以上の向上が実現した。

【0029】また、配線領域ではドーズ量を通常の3倍程度にし、また拡散深さを50%程度深くしているため、比抵抗が1/2以下になった。そのため、配線による遅延が大幅に減少し、システム全体としては、15%程度の高速化が実現した。

【0030】なお、第1-OVドーズ量は、この領域をソース/ドレイン領域としてのみ最適化する事ができるため、配線抵抗を考慮する必要はなく、従来のプロセスに比べ設定範囲が広くとれる。具体的には、 $1\text{E}12\text{cm}^{-2}$ から、 $2\text{E}16\text{cm}^{-2}$ 程度の範囲で設定することが可能である。 $1\text{E}12\text{cm}^{-2}$ よりもドーズ量を少なくすると、第1-OV領域の抵抗値が上昇し、MOS特性を劣化させる要因となる。また、 $2\text{E}16\text{cm}^{-2}$ よりもドーズ量を増やすと、高濃度領域特有の拡散効果により、短チャネル効果が生じ易くなるため好ましくない。超高

耐压デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指さない場合には、このドーズ量は、 $1 \times 10^{13} \text{ cm}^{-2}$ 程度から、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0031】また、第2- OV ドーズ量は、配線抵抗を下げることに着目して設定できる。具体的には、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度から、 $5 \times 10^{17} \text{ cm}^{-2}$ 程度の範囲で設定する事が可能である。 $1 \times 10^{14} \text{ cm}^{-2}$ よりもドーズ量を少なくすると、配線抵抗が大きくなるため好ましくない。また、 $5 \times 10^{17} \text{ cm}^{-2}$ よりもドーズ量を多くしても、不純物活性化率があまり向上しなくなってくるため、配線抵抗が下がらなくなり、実用性が無くなってくる。超高速デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指さない場合には、このドーズ量は、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度から、 $3 \times 10^{16} \text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0032】また、この実施例では、NチャネルMOSFETについて説明したが、もちろんPチャネルMOSFETについても、不純物種とイオン打ち込みエネルギーを変えるだけで同様の特性が与えられる。

【0033】次に、第二の実施例を説明する。図2は配線領域にチタンシリサイドを用いたPチャネルMOSFETの製造工程図である。以下、この製造工程図を用いて実施例の説明を行っていく。比抵抗率 $10 \Omega \cdot \text{cm}$ のn形シリコン半導体基板201の表面を95%水蒸気雰囲気中で 900°C 、30分間の熱処理により膜厚50nmの酸化膜202を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法によりリンイオンを注入する。リンイオンの加速エネルギーは 100 keV 、イオン打ち込み量はイオン数にして $7 \times 10^{12} \text{ cm}^{-2}$ である。

【0034】次に、窒素雰囲気中で熱拡散を行う。拡散温度は 1100°C 、拡散時間は4時間である。この熱処理により、深さ $2.0 \mu\text{m}$ のNウェル領域203が形成される。

【0035】次に、酸化膜202を緩衝弗酸でエッチングし、95%水蒸気雰囲気中で 820°C 、8分間の熱処理により膜厚11nmの酸化膜204を形成する。

【0036】次に、MOSデバイスの閾値電圧を調整するための弗化硼素(BF_3)イオン打ち込みを行う。この酸化膜はイオン打ち込み工程で、打ち込んだイオンが異常な分布を示す現象を防ぐための酸化膜である。

【0037】 BF_3 イオンの加速エネルギーは 50 keV 、イオン打ち込み量はイオン数にして $8 \times 10^{12} \text{ cm}^{-2}$ である。酸化膜204を緩衝弗酸でエッチングした後、95%水蒸気雰囲気中で 820°C 、8分間の熱処理により膜厚11nmのゲート酸化膜205を形成する。

【0038】次に、CVD法により、リンドーピングシリコンを 200 nm 堆積し、通常のフォトリソグラフ・エ

ッチング工程により、 $0.3 \mu\text{m}$ 幅のゲート領域206を形成する(図2(a))。

【0039】次に、硼素イオン打ち込み工程により、LDD領域207を形成する。加速エネルギーは 30 keV 、イオン打ち込み量はイオン数にして $1 \times 10^{13} \text{ cm}^{-2}$ である。

【0040】次に、シランとオゾン为原料ガスとしたCVD法とドライエッチング法により、幅 $0.2 \mu\text{m}$ の第1サイドウォール領域208を形成する。

10 【0041】次に、弗化硼素(BF_3)イオン打ち込み工程により、第1- OV 領域209を形成する(図2(b))。この領域はMOSデバイスのソース/ドレインに相当する。加速エネルギーは 30 keV 、イオン打ち込み量はイオン数にして $1 \times 10^{14} \text{ cm}^{-2}$ である。

【0042】次に、シランとオゾン为原料ガスとしたCVD法とドライエッチング法により、幅 $0.15 \mu\text{m}$ の第2サイドウォール領域210を形成する(図2(c))。

20 【0043】次に、チタン膜をスパッタ法を用いて 100 nm の厚さで形成する。続けて、 850°C 、20分の熱処理を行う。すると、チタンと下地のシリコンとが反応し、チタンシリサイド層211が形成される。続いて、チタンの選択エッチングを行うと、酸化膜上でのチタンは除去される。

30 【0044】次に、弗化硼素(BF_3)イオン打ち込み工程により、第2- OV 領域212を形成する。この領域は、従来MOSデバイスのソース/ドレイン領域が兼ねていた配線領域である。加速エネルギーは 60 keV 、イオン打ち込み量はイオン数にして $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0045】最後に、ランプアニール処理として、 950°C 、5秒の処理を行い、不純物を活性化させ、PチャネルMOSFETが形成される(図2(d))。

【0046】このデバイスは、通常のデバイスに比べ1/50程度の量しか導入されていないためLDD部分の過渡増速拡散効果を非常に低く押えることができてい。さらに、チタンシリサイド層形成がLDD領域から十分離れた領域で行われているため、この工程に伴う増速拡散の影響も殆ど受けていない。

40 【0047】そのため、短チャネル効果が生じ難くなっており、同様の工程で作成した従来のデバイスが、ゲート長 $0.6 \mu\text{m}$ までしか良好な動作を行わず、製品レベルではゲート長 $0.7 \mu\text{m}$ のデバイスまでにしか対応できなかったのに比べ、ゲート長 $0.3 \mu\text{m}$ でも良好な動作を行うことが確認でき、製品レベルではゲート長 $0.35 \mu\text{m}$ のデバイスまでにしか対応できることが確認できた。

【0048】デバイス特性としては、ゲート長を半分にできたため、60%程度能力は向上している。

50 【0049】また、配線領域では、チタンシリサイドの

比抵抗がソース／ドレイン領域の拡散抵抗に比べ小さいため、チタンシリサイドとオーム性接触が取れる程度のドーズ量と設定している。

【0050】なお、第1- OV ドーズ量は、この領域をソース／ドレイン領域としてのみ最適化する事ができるため、配線抵抗を考慮する必要はなく、従来のプロセスに比べ設定範囲が広くとれる。具体的には、 $1E12\text{ cm}^{-2}$ から、 $2E16\text{ cm}^{-2}$ 程度の範囲で設定することが可能である。 $1E12\text{ cm}^{-2}$ よりもドーズ量を少なくすると、第1- OV 領域の抵抗値が上昇し、 MOS 特性を劣化させる要因となる。また、 $2E16\text{ cm}^{-2}$ よりもドーズ量を増やすと、高濃度領域特有の拡散効果により、短チャネル効果が生じ易くなるため好ましくない。超高耐圧デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指さない場合には、このドーズ量は、 $1E13\text{ cm}^{-2}$ 程度から、 $3E15\text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0051】また、第2- OV ドーズ量は、シリサイドを配線に用いる場合、オーム性接触が取れる範囲で設定できる。具体的には、 $1E14\text{ cm}^{-2}$ 程度から、 $2E16\text{ cm}^{-2}$ 程度の範囲で設定する事が可能である。 $1E14\text{ cm}^{-2}$ よりもドーズ量を少なくすると、オーム性接触の確保が特に p 形に対して難しくなるため好ましくない。また、 $2E16\text{ cm}^{-2}$ よりドーズ量を多くしても、配線抵抗の低下率が低くなっていく。

【0052】また、この実施例では、 P チャネル $MOSFET$ について説明したが、もちろん N チャネル $MOSFET$ についても、不純物種とイオン打ち込みエネルギーを変えるだけで同様の特性が与えられる。

【0053】また、第2- OV 領域を形成するためのサイドウォール幅は、目指すデバイス特性によっても異なる。今回作成したデバイスでは、サイドウォール幅として $0.15\mu\text{m}$ を採用したが、もっとゲート長の長いデバイス、例えばゲート長 $2\mu\text{m}$ のデバイスでは、もっと大きい $0.5\mu\text{m}$ 程度の幅を与えないと、有効な作用をしない。逆に、ゲート長が $0.2\mu\text{m}$ のデバイスでは、計算上ではサイドウォール幅として、 $0.1\mu\text{m}$ 程度が適当な値となる。一般的には、ゲート長の長いデバイスを用いる場合には、プロセスマージンを稼げる大きなサイドウォール幅を用い、逆の場合には、セル寸法を縮小するために小さなサイドウォール幅を用いるのが有効な手法となる。

【0054】また、ここまでの実施例では、シリコン基板上の $MOSFET$ について説明したが、これはもちろん $GaAs$ 、 $InGaAs$ 、 InP 、 SiC など、全ての半導体材料を基板としたデバイスに対し有効な技術である。また、基板として絶縁体上に半導体薄膜を形成した、いわゆるセミコンダクター・オン・インシュレータ(SOI)基板に対しても有効である。この SOI の中には、酸化膜上に単結晶シリコンやアモルファスシリコ

ンや多結晶シリコン層を形成したデバイスももちろん含まれる。

【0055】また、本実施例では $MOSFET$ に注目して説明したが、 $MOSFET$ に限定される理由は勿論なく、 $MISFET$ 、 $MESFET$ 等に対してももちろん有効である。

【0056】

【発明の効果】本発明の半導体装置を用いることで以下に示すような効果を得ることができる。

10 【0057】(1) FET 特性と LSI 配線部の電気抵抗とを独立して制御できるため、パンチスルー特性、オフ電流特性に優れた FET を、遅延時間が小さい配線で接続した LSI 、つまり低消費電力・高速動作が行える LSI が提供できる。

20 【0058】(2) この構造は、 MOS デバイスに限らず、 MES 、 MIS デバイスあるいはガラス基板上に形成された薄膜トランジスタを含む SOI デバイスなどあらゆるタイプの FET に適用できるため、 MOS 構造が作りにくい $GaAs$ 、 $InGaAs$ など化合物半導体基板上の FET 、さらに SiC 、 C (ダイヤモンド)上の FET 等に対してこの構造をとることができ、デバイス設計の自由度がきわめて向上する。

【0059】(3) サイドウォール形状が従来の LDD 構造に比べ緩い勾配となるため、 FET 上に配置される配線金属スパッタ、層間分離膜 CVD プロセスなどでの付廻りが向上し、配線の信頼性が向上する。

【0060】また、本発明の半導体装置の製造方法を用いると次に示すような効果を得ることができる。

30 【0061】(1) 通常の MOS 構造に必須であるサイドウォール製造プロセスと同一の製造プロセスを用いる事ができ新規プロセスを採用する必要がないため、設備投資を全く行わずに本発明のプロセスを使用することができる。

【0062】(2) プロセス開発に要する期間を殆ど必要としない。

【0063】(3) 新規物質を用いていないため、製造装置の汚染などの心配が無い。

【図面の簡単な説明】

40 【図1】本発明の第一の実施例を説明するための N チャネル $MOSFET$ 製造工程図。

【図2】本発明の第二の実施例を説明するための P チャネル $MOSLSI$ 製造工程図。

【図3】従来の技術を説明するための N チャネル $MOSFET$ 製造工程図。

【符号の説明】

101・・・ n 形シリコン半導体基板

102・・・酸化膜

103・・・ P ウェル領域

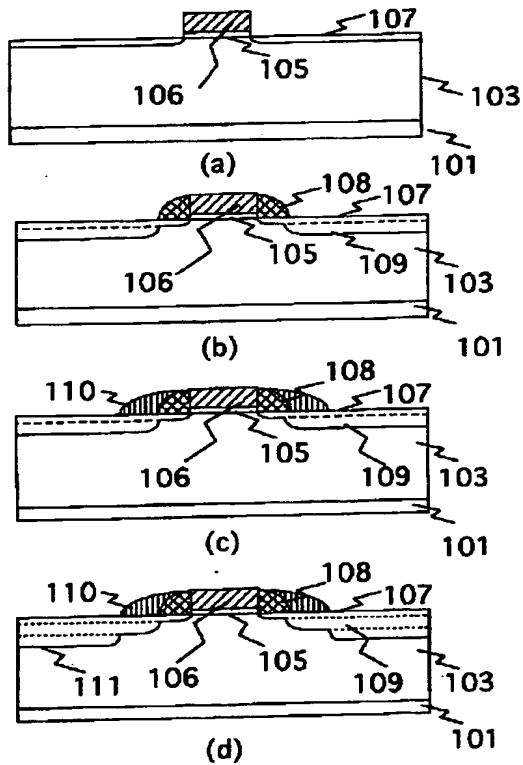
104・・・酸化膜

50 105・・・ゲート酸化膜

9

- 106・・・ゲート電極
- 107・・・LDD領域
- 108・・・第一サイドウォール領域
- 109・・・第一OV領域
- 110・・・第二サイドウォール領域
- 111・・・第二OV領域
- 201・・・n形シリコン半導体基板
- 202・・・酸化膜
- 203・・・Pウェル領域
- 204・・・酸化膜
- 205・・・ゲート酸化膜
- 206・・・ゲート電極
- 207・・・LDD領域

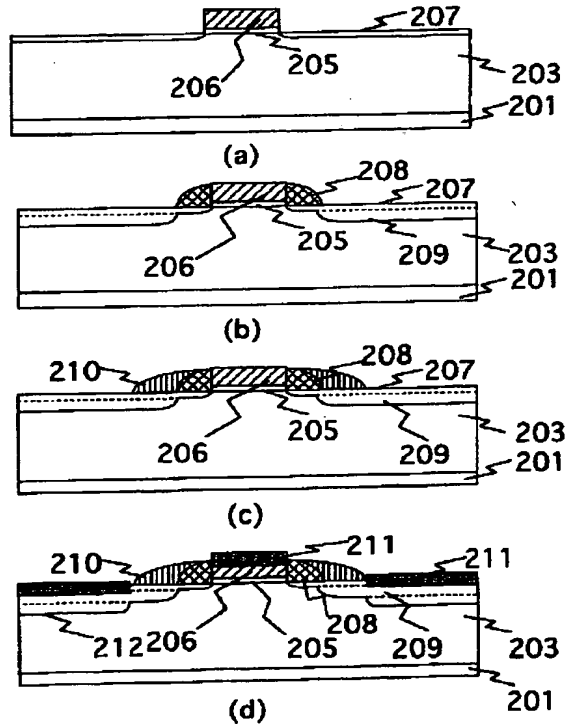
【図1】



10

- 208・・・第一サイドウォール領域
- 209・・・第一OV領域
- 210・・・第二サイドウォール領域
- 211・・・チタンシリサイド層
- 212・・・第二OV領域
- 301・・・n形シリコン半導体基板
- 302・・・Pウェル領域
- 303・・・ゲート酸化膜
- 304・・・ゲート電極
- 10 305・・・LDD領域
- 306・・・サイドウォール領域
- 307・・・ソース/ドレイン領域

【図2】



【図3】

